

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-177363

(43)Date of publication of application : 30.06.1998

(51)Int.Cl.

G09G 3/28

(21)Application number : 08-354002

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 18.12.1996

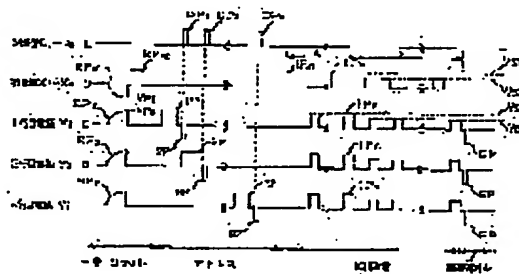
(72)Inventor : IDE SHIGEO

(54) PLASMA DISPLAY PANEL DRIVE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a current flowing at a maintaining discharge time and to improve a display characteristic by lowering a voltage of a discharge maintaining pulse applied after a prescribed period is ended compared with the voltage of the discharge maintaining pulse applied for the prescribed period from the application start of the discharge maintaining pulse in a maintaining discharge period.

SOLUTION: Ranging the period when the discharge maintaining pulse is applied continuously alternately to row electrodes Xi, Yi, only pixel cells that a wall charge remains as it is maintaining discharge light emission. In this maintaining discharge period, the voltage Vs2 of the discharge maintaining pulse applied for the prescribed period b after the prescribed period a is ended is lowered stepwise compared with the voltage Vs1 of the discharge maintaining pulse applied for the prescribed period a from the application start of the discharge maintaining pulse. Thus, the current flowing through respective row electrodes Xi, Yi is suppressed, and voltage drops due to wiring resistance of respective row electrodes Xi, Yi are reduced, and luminance unevenness in respective row electrodes Xi, Yi pixel cells are reduced.



LEGAL STATUS

[Date of request for examination] 18.01.2002

[Date of sending the examiner's decision of rejection] 25.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-177363

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.⁶

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

E

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21) 出願番号 特願平8-354002

(22) 出願日 平成8年(1996)12月18日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 井手 茂生

山梨県中巨摩郡田富町西花輪2680番地

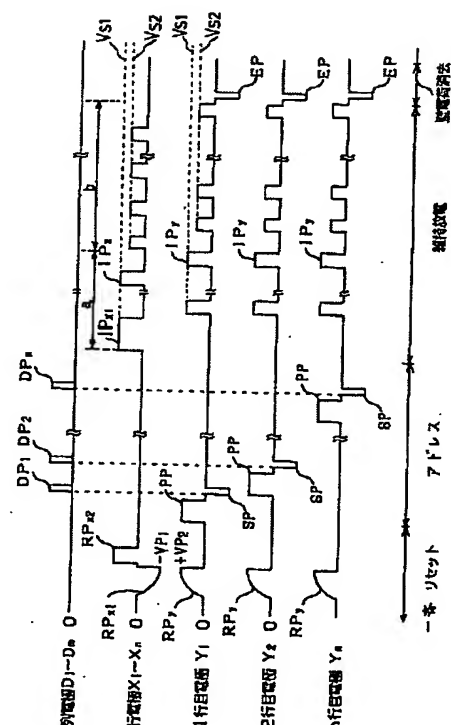
バイオニア株式会社甲府プラズマパネルセンター内

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 維持放電時に流れる電流を抑制し表示特性を向上させることを目的とする。

【解決手段】 複数の行電極対と、行電極対に交差して配列された複数の列電極とを有し、行電極対に走査パルスを加するとともに列電極に画素データパルスを加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に交互に放電維持パルスを加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、維持放電期間において放電維持パルスの印加開始から所定期間の間に印加される放電維持パルスの電圧に比して所定期間終了後に印加される放電維持パルスの電圧を低くすることを特徴とする。



【特許請求の範囲】

【請求項 1】 複数の行電極対と、前記行電極対に交差して配列された複数の列電極とを有し、前記行電極対に走査パルス印加するとともに前記列電極に画素データパルス印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、前記行電極対に交互に放電維持パルス印加して前記点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、

前記維持放電期間において前記放電維持パルスの印加開始から所定期間の間に印加される放電維持パルスの電圧に比して前記所定期間終了後に印加される放電維持パルスの電圧を低くすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記行電極対は、表示面側の基板の内面に配置された透明電極とそれに積層された金属電極とで構成され、誘電体層で被覆されているとともに前記列電極は、前記表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されていることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マトリクス表示方式の交流（AC）型のプラズマディスプレイパネル（PDP）の駆動方法に関する。

【0002】

【従来の技術】 近年、表示装置の大型化に伴い、薄型の表示装置が要求され、各種の薄型の表示装置が提供されている。その 1 つに ACPDP が知られている。かかる ACPDP は、列電極及び行電極と直交し一対にて 1 行（1 走査ライン）を構成する行電極を備えており、これら列電極及び行電極対各々は放電空間に対して誘電体層で覆われており、列電極及び行電極対の各交点に放電セルが形成されている。

【0003】 図 4 は、係る ACPDP の従来の各種駆動パルスの印加タイミングを示す図である。同図において、まず、負極性のリセットパルス R_{Px} を全ての行電極 $X1 \sim Xn$ に印加すると同時に、正極性のリセットパルス R_{Py} を全ての行電極 $Y1 \sim Yn$ の各々に印加する。かかるリセットパルスの印加により、全ての放電セルに放電が生じ、荷電粒子が発生し、放電終了後各放電セルに壁電荷が蓄積形成される（一斉リセット期間）。

【0004】 次に、各行毎の画素データに対応した画素データパルス $DP1 \sim DPn$ を順次、列電極 $A1 \sim Am$ に印加する。この画素データパルス $DP1 \sim DPn$ 各々の印加タイミングに同期して走査パルス（選択消去パルス） SP を行電極 $Y1 \sim Yn$ へ順次印加して行く。この際、かかる画素データパルス DP 、及び走査パルス SP が各々列電極及び行電極に同時に印加された放電セル

（消灯画素）にのみ放電が生じ上記一斉リセット期間にて形成された壁電荷が消去される。

【0005】 一方、走査パルス SP が印加されたものの画素データパルス DP が印加されない放電セル（点灯画素）では上記の如き放電は生じないので上記一斉リセット期間にて形成された壁電荷はそのまま残留する。このように各放電セルの壁電荷は、画素データに応じて選択的に消去され、点灯画素及び消灯画素が選択される（アドレス期間）。

10 【0006】 次に、正極性の放電維持パルス IPx を行電極 $X1 \sim Xn$ の各々に印加するとともに放電維持パルス IPx の印加タイミングとはずれたタイミングにて正極性の放電維持パルス IPy を行電極 $Y1 \sim Yn$ の各々に印加する。このように放電維持パルス IPx 、 IPy を交互に行電極対に印加され、壁電荷が残留している放電セル（点灯画素）は放電発光を繰り返す一方壁電荷が消滅した放電セル（消灯画素）は放電発光しない（維持放電期間）。

20 【0007】 次に、全ての行電極 $X1 \sim Xn$ に一斉に消去パルス EP を印加して全放電セルの壁電荷を消去する（壁電荷消去期間）。以上のように、一斉リセット期間、アドレス期間、維持放電期間、壁電荷消去期間を 1 つの表示サイクルとして、これを繰り返し行うことにより、画像表示が行われる。

【0008】

【発明が解決しようとする課題】 ところで、上述の PDP では、行電極を透明電極としているため、抵抗率が大きい。そこで、維持電極の導電性を補うために金属電極からなるバス電極を積層して配線抵抗を低減している。しかしながら、PDP が大型化していくと、金属電極の配線長が長くなるため、バス電極自体の配線抵抗も無視できなくなる。

30 【0009】 一方、各放電セルに流れる電流は、時間的に一定ではなく、駆動パルスが印加されてから例えば数 100 ナノ sec 程度で最大になりその後数 100 ナノ sec 程度経過するとほぼ流れなくなる。表示のための維持放電期間において、放電維持パルスのパルス間隔は数マイクロ sec 程度であるため、1 つの行電極対上の選択された放電セルがほぼ同時に放電し、選択された放電セルにおいてほぼ同時に電流が流れる。

40 【0010】 このため、1 つの行電極対の電流の最大値は、各セルに流れる電流の最大値を加算したものとなり、結果的に、1 つの行電極対に瞬間的に大きな電流が流れる。したがって、行電極の配線抵抗により、大きな電圧降下が生じて表示特性を悪化させることになる。

【0011】 本発明は、上記の問題を解決するためになされたものであり、維持放電時に流れる電流を抑制し表示特性を向上させることを目的とする。

【0012】

50 【課題を解決するための手段】 請求項 1 記載の発明は、

複数の行電極対と、行電極対に交差して配列された複数の列電極とを有し、行電極対に走査パルス印加するとともに列電極に画素データパルス印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に交互に放電維持パルス印加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、維持放電期間において放電維持パルスの印加開始から所定期間の間に印加される放電維持パルスの電圧に比して所定期間終了後に印加される放電維持パルスの電圧を低くすることを特徴とする。

【0013】また、請求項2記載の発明は、請求項1記載のプラズマディスプレイパネルの駆動方法において、行電極対は、表示面側の基板の内面に配置された透明電極とそれに積層された金属電極とで構成され、誘電体層で被覆されているとともに列電極は、表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されていることを特徴とする。

【0014】

【作用】本発明は以上のように構成したので、維持放電期間において、放電維持パルスの印加開始から所定期間aの間に印加される放電維持パルスの電圧 V_{s1} に比して所定期間aの終了後の所定期間bに印加される放電維持パルスの電圧 V_{s2} をステップ状に低くすることによって、各行電極に流れる電流を抑制することができ、したがって、各行電極の配線抵抗による電圧降下が少なくなり、各行電極における画素セルの輝度ムラが少なくなる。この結果プラズマディスプレイパネルの表示特性が向上する。

【0015】

【発明の実施の形態】図1は、本発明の一実施形態におけるプラズマディスプレイパネルの駆動方法で駆動される3電極構造の反射型AC-PDPの構造を示す図である。同図に示されるように、PDP11は、放電空間7を介して対向配置された一対のガラス基板1、2の表示面側のガラス基板1の内面に互いに平行に隣接配置された一対の行電極（維持電極）X、Y、行電極X、Yを覆う壁電荷形成用の誘電体層5、誘電体層5を覆うMgOからなる保護層6がそれぞれ設けられている。

【0016】尚、行電極X、Yは、それぞれ幅の広い帯状の透明導電膜からなる透明電極4とその導電性を補うために積層された幅の狭い帯状の金属膜からなるバス電極（金属電極）3とから構成されている。

【0017】一方、背面側のガラス基板2の内面上に行電極X、Yと交差する方向に設けられ、放電空間7を区画する障壁10、各障壁10間のガラス基板2上行電極X、Yと交差する方向に配列された列電極（アドレス電極）A、及び各列電極、障壁10の側面を覆う所定の発光色の蛍光体層8がそれぞれ設けられている。そし

て、放電空間7にはネオンに少量のキセノンを混合した放電ガスが封入されている。上記の列電極及び行電極対の各交点において放電セル（画素）が形成される。

【0018】次に図1のPDP11を使用して行われる本発明によるプラズマディスプレイパネルの駆動方法の実施形態を図2に基づいて以下に説明する。図2は、本発明の駆動方法の第一の実施形態にてパネル駆動を行う際にPDP11に印加される各種駆動パルスの印加タイミングを示す図である。

10 【0019】図2において、PDP11を駆動するには、まず、立ち上がり時間の長い（長時定数）パルス負電圧の第1リセットパルス R_{Px1} を全ての行電極 $X1 \sim Xn$ に印加すると同時に、負電圧の場合と同様に正電圧の第1リセットパルス R_{Py} を行電極 $Y1 \sim Yn$ の各々に印加する。各行電極対間に印加された電位 $-VP1$ と電位 $+VP2$ とにて生成される電位差が放電開始電圧を越えると、PDP11の全ての行電極対間に放電が励起されて、PDP11の放電セル即ち全画素セルに対応する放電空間7内に荷電粒子が発生する。

20 【0020】このリセットパルスは、列電極に比して微弱なものにしているので、全画素セルに対応する放電空間内の壁電荷が不均一になるため、行電極 $X1 \sim Xn$ に印加される第1リセットパルス R_{Px1} の次の瞬間に正電圧の第2リセットパルス R_{Px2} を挿入している。

【0021】この第2リセットパルス R_{Px2} に用いる電圧は、第1リセットパルス R_{Py} とほぼ同一の大きさの電圧（略+165V）としている。第2リセットパルス R_{Px2} の印加による放電の終息後、全画素セルの誘電体層5には一様に所定量の壁電荷が形成される（一斉リセット期間）。

30 【0022】次に、各行毎との画素データに対応した正電圧の画素データパルス $DP1 \sim DPn$ を順次、列電極 $A1 \sim Am$ に印加する。この際、上記画素データパルス $DP1 \sim DPn$ の各印加タイミングに同期して、小なるパルス幅の走査パルス SP を行電極 $Y1 \sim Yn$ へ順次印加する。また、かかる走査パルス SP を各行電極 $Y1 \sim Yn$ の各々に印加する直前に、図2にて示されるが如き正電圧のプライミングパルス PP を行電極 $Y1 \sim Yn$ 各々に印加する。

40 【0023】かかるプライミングパルス PP の印加により、上記一斉リセットにて得られて時間経過とともに減少してしまったプライミング粒子が、放電空間7内に再形成される。よって、放電空間7内に所望量のプライミング粒子が存在する内に、上記走査パルス SP の印加による画素データ書き込みが試されるのである。

【0024】例えば、画素データの内容が論理「0」である場合には、走査パルス SP とともに画素データパルス DP が同時に印加されるので、画素セル内部に形成されている壁電荷は消滅する。

50 【0025】一方、画素データの内容が論理「1」であ

る場合には、走査パルス SP のみが印加されるので放電が生じず、その画素セル内部に形成されている壁電荷はそのまま保持される。つまり、かかる走査パルス SP とは、画素セル内に形成されている壁電荷を画素データに応じて選択的に消去せしめるためのトリガとなる選択消去パルスとも言えるのである。このように、各画素セルの壁電荷は、画素データに応じて選択的に消去され、点灯画素及び消灯画素が選択される（アドレス期間）。

【0026】次に、正電圧の維持パルス IP_x を行電極 $X1 \sim X_n$ の夫々に印加する。次に、かかる放電維持パルス IP_x の印加タイミングとはずれたタイミングにて、正電圧の放電維持パルス IP_y を行電極 $Y1 \sim Y_n$ の夫々に印加する。かかる放電維持パルスが連続して行電極 X_i 、 Y_i に交互に印加されている期間にわたり、上記壁電荷が残留したままとなっている画素セルのみが放電発光を維持する（維持放電期間）。

【0027】尚、この維持放電期間において、最初に、即ち第 1 番目に行電極に印加される放電維持パルス IP_x （図中 IP_{x1} で表示している）のパルス幅は、その後

【0028】また、維持放電期間において各行電極に印加される放電維持パルス IP_x は、各行電極において、それぞれ放電維持パルスの印加開始から所定期間 a の間に印加される放電維持パルスの電圧の大きさを V_{s1} とし、所定期間 a の終了から維持放電期間の終了までの所定期間 b に印加される放電維持パルスの電圧 V_{s2} は V_{s1} よりも低く設定される。

【0029】このことにより、維持放電期間中では、各行電極における各セルに流れる電流の最大値を加算して得られる電流の最大値は従来に比べて小さくなり、各行電極に流れる電流は抑制される。したがって、各行電極の各画素セルにおける電圧降下が少なくなるので各画素セルの輝度ムラが少ない。

【0030】また、上述のように、各行電極を流れる電流の最大値が従来に比べて小さくなることで、維持放電期間における PDP の消費電力が減り、電磁波ノイズの発生も少なくなる。また、放電維持に必要な電圧を低く抑えることができる。

【0031】次に、消去パルス EP を行電極 $X1 \sim X_n$ の夫々に印加することにより、行電極 $X1 \sim X_n$ 及び $Y1 \sim Y_n$ 上に形成された壁電荷を消滅させ、点灯及び消灯画素での壁電荷の状態を略均一にする（壁電荷消去期間）。

【0032】以上の如く、かかるプラズマディスプレイパネルの駆動方法においては、維持放電期間において、放電維持パルスの印加開始から所定期間 a の間に印加される放電維持パルスの電圧 V_{s1} に比して所定期間 a の

終了後の所定期間 b に印加される放電維持パルスの電圧 V_{s2} をステップ状に低くすることによって、各行電極に流れる電流を抑制することができ、したがって、各行電極の配線抵抗による電圧降下が少なくなり、各行電極における画素セルの輝度ムラが少なくなる。この結果プラズマディスプレイパネルの表示特性が向上する。

【0033】なお、上記実施形態においては、維持放電期間において各行電極に印加される放電維持パルスを 2 つの異なる電圧値（ V_{s1} 及び V_{s2} ）で設定し、各行電極において、それぞれ放電維持パルスの印加開始から所定期間 a の間に印加される放電維持パルスの電圧の大きさを V_{s1} とし、所定期間 a の終了から維持放電期間の終了までの所定期間 b に印加される放電維持パルスを V_{s1} よりも低い電圧 V_{s2} とする 2 段階で設定したが、かかる構成に限定されるものではない。

【0034】即ち、図 3 に示すように、維持放電期間において印加される放電維持パルスは、放電維持パルスの印加開始から所定期間 a の間に印加される放電維持パルスの電圧 V_{s1} に比して所定期間 a の終了後に順次印加される放電維持パルスの電圧を徐々に低く設定し、維持放電期間の最後に各電極に印加する電圧が V_{s1} よりも低い値の V_{s2} になるように設定しても良い。図 3 は、本発明の駆動方法の第二の実施形態にてパネル駆動を行う際に PDP 1 に印加される各種駆動パルスの印加タイミングを示す図である。

【0035】

【発明の効果】本発明は以上のように構成したため、維持放電期間において、放電維持パルスの印加開始から所定期間 a の間に印加される放電維持パルスの電圧 V_{s1} に比して所定期間 a の終了後の所定期間 b に印加される放電維持パルスの電圧 V_{s2} をステップ状に低くすることによって、各行電極に流れる電流を抑制することができ、したがって、各行電極の配線抵抗による電圧降下が少なくなり、各行電極における画素セルの輝度ムラが少なくなる。この結果プラズマディスプレイパネルの表示特性が向上する。

【図面の簡単な説明】

【図 1】本発明の一実施形態におけるプラズマディスプレイパネルの駆動方法で駆動される 3 電極構造の反射型 ACPDP の構造を示す図である。

【図 2】本発明の駆動方法の第一の実施形態にてパネル駆動を行う際に PDP に印加される各種駆動パルスの印加タイミングを示す図である。

【図 3】本発明の駆動方法の第二の実施形態にてパネル駆動を行う際に PDP に印加される各種駆動パルスの印加タイミングを示す図である。

【図 4】ACPDP の従来の各種駆動パルスの印加タイミングを示す図である。

【符号の説明】

1、2・・・ガラス基板

* 7 放電空間
8 蛍光体層
10 障壁
* 11 PDP

Fig. 1 is a perspective view of a liquid crystal display device. It shows a top plate (1) with a liquid crystal layer (2) and a bottom plate (3) with a grid of electrodes (4). The device is shown in a perspective view with a coordinate system (X, Y) and a reference numeral 11.

Timing diagram for a memory array. The diagram shows the relationship between various signals and voltages over time.

Signals and Voltages:

- 列電極 $D_1 \sim D_n$:** Column electrodes.
- 行電極 $X_1 \sim X_n$:** Row electrodes.
- 1行目電極 Y_1 :** First row address electrode.
- 2行目電極 Y_2 :** Second row address electrode.
- n 行目電極 Y_n :** n -th row address electrode.
- VS_1, VS_2 :** Voltages for the first and second row address electrodes.
- EP :** End of pulse voltage.

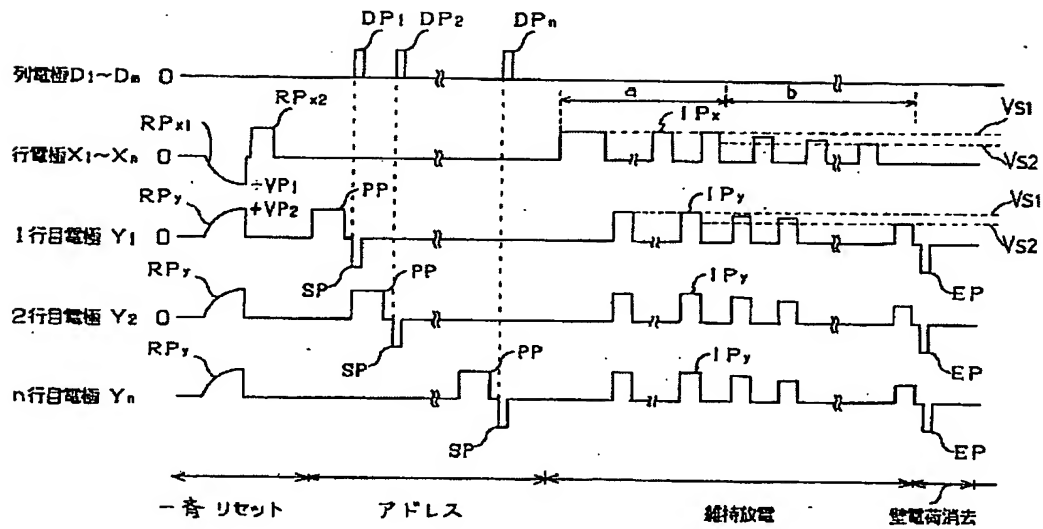
Timing Points and Intervals:

- DP_1, DP_2, DP_n :** Data pulse points.
- RP_{x1}, RP_{x2} :** Row pulse points.
- RP_y :** Row pulse point.
- SP :** Start of pulse.
- PP :** Pulse period.
- IP_{x1}, IP_y :** Current intervals.
- a, b :** Time intervals.

Sequence of Operations:

- リセット (Reset):** Initial state.
- アドレス (Address):** Addressing phase.
- 維持放電 (Data Hold):** Data hold phase.
- 壁電荷消去 (Wall Charge Elimination):** Final state.

【図3】



【図4】

